

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Jeong-Hwan YANG :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: March 17, 2004 : Attorney Docket No. SEC.1148
For: SEMICONDUCTOR DEVICE WITH DIFFERENT LATTICE PROPERTIES

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Korean application:

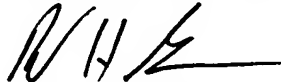
Appln. No. 2003-0016450 filed March 17, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCO, PLLC



Daniel H. Sherr
Registration No. 46,425

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: March 17, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0016450
Application Number

출원 년 월 일 : 2003년 03월 17일
Date of Application MAR 17, 2003

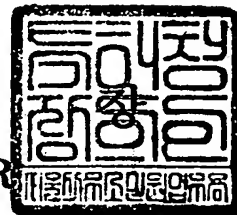
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.17
【발명의 명칭】	반도체소자 및 그 제조 방법
【발명의 영문명칭】	SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	양정환
【성명의 영문표기】	YANG, Jeong Hwan
【주민등록번호】	681009-1659327
【우편번호】	449-903
【주소】	경기도 용인시 기흥읍 구갈리 396번지 한양아파트 109동 305호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	10 면 10,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	19 항 717,000 원
【합계】	756,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

채널부의 전류의 손실을 줄이는 동시에 전자 이동도를 향상시킬 수 있는 반도체 소자 및 그 반도체 소자의 제조 방법이 개시된다. 반도체 기판 상에 제1 반도체 층, 제1 반도체 층과 다른 격자 특성을 갖는 제2 반도체 층을 순차적으로 형성하고 이들을 식각하여 제1 반도체 패턴을 형성한 후, 제1 반도체 패턴에 제1 반도체 층과 동일한 격자 특성을 갖는 제3 반도체 층을 형성하고, 이를 식각하여 제2 반도체 패턴을 형성한다. 이어서, 제2 반도체 패턴 상에 게이트를 형성한다. 제2 반도체 패턴과 게이트 패턴의 접촉 면적을 증대시켜 전류의 손실을 줄이고, 반도체 층의 격자 특성을 변화시켜 전자 이동도를 향상시킬 수 있다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

반도체 소자 및 그 제조 방법{SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME}

【도면의 간단한 설명】

도 1은 종래의 반도체 소자에 변형 실리콘을 적용하여 전자 이동도가 증대되는 현상을 설명하기 위한 그래프이다.

도 2 내지 도 7은 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 공정도들이다.

도 8은 본 발명의 다른 실시예에 따른 반도체 소자를 설명하기 위한 사시도이다.

도 9는 도 8에 도시한 채널과 게이트의 접촉면을 설명하기 위한 단면도이다.

도 10은 도 8에 도시한 채널 내부의 전자 흐름을 설명하기 위한 개략도이다.

도 11은 종래의 변형 실리콘을 이용한 2차원적인 채널을 3차원적인 개념으로 확장한 개략적인 사시도이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판 110 : 제1 반도체 층

120 : 제2 반도체 층 130 : 제3 반도체 층

200 : 제1 반도체 패턴 300 : 제2 반도체 패턴

400 : 게이트 510 : 제1 구조물

511, 512, 513 : 게이트 접촉면 520 : 제2 구조물

520 : 제2 구조물 601 : 일반 실리콘 래티스

602 : 변형 실리콘 래티스 710 : 제1 실리콘 패턴

720 : 실리콘-게르마늄 패턴 730 : 제2 실리콘 패턴

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 채널(channel)부와 게이트 패턴의 접촉면을 증대시켜 전류의 손실을 줄이고, 채널부를 구성하는 반도체 층의 격자(lattice) 특성을 변화시켜 전자 이동도를 향상시킬 수 있는 반도체 소자 및 그 제조 방법에 관한 것이다.
- <17> 현재까지, 반도체 산업은 꾸준히 성장하여 기술적/산업적으로 양적 및 질적인 향상을 이루어 왔다. 그 핵심 기술은 반도체 트랜지스터의 소형화 및 집적화 기술이다. 반도체 트랜지스터의 소형화 및 집적화 기술은 반도체 소자를 구성하는 구조물들의 소형화에 의해 달성된다. 반도체 소자가 소형화됨에 따라 단위 칩 내에 더 많은 소자를 집적할 수 있으며, 소자를 통과하는 전자의 통과 시간을 줄임으로써 소자의 처리 속도를 향상시킬 수 있다. 또한, 반도체 소자 내에서 이동하는 전자의 양을 감소시켜 소자의 소비 전력을 절감할 수 있다.
- <18> 반도체 소자의 고직접화, 고속화, 저전력화는 곧 반도체의 성능 향상을 의미하는 것이다. 과거 1971년 최소 선폭이 $10\mu\text{m}$ 정도인 트랜지스터에서, 1997년에는 최소 선폭이 $0.25\mu\text{m}$ 정도인 트랜지스터, 2003년에는 최소 선폭이 90nm 정도인 트랜지스터 시대까지 기대

할 수 있게 되었다. 반도체 전자 소자의 소형화 기술은 지난 30년 동안 그 크기에 있어서 약 50배 정도, 그 집적도에 있어서는 약 10,000배 정도, 그리고 칩의 속도에 있어서는 약 1,000 배 정도의 향상을 이룩할 수 있었다. 현재, 약 90nm의 선폭을 갖는 트랜지스터에 대한 연구가 진행 중에 있으며 나아가 약 65nm 정도의 선폭을 갖는 트랜지스터에 대한 연구도 진행되고 있다.

<19> 종래의 0.13 μ m의 반도체 제조 공정에서는 200mm의 웨이퍼에 70nm 정도의 폭을 갖는 게이트를 형성하였다. 그러나, 90nm의 반도체 제조 공정으로 넘어가면서 300mm의 웨이퍼에 50nm 정도의 선폭을 갖는 게이트를 형성할 수 있다. 더욱이, 65nm의 반도체 제조 공정에서는 300mm이상의 웨이퍼에 35nm 정도의 선폭을 갖는 게이트를 형성할 수 있을 것으로 예상되고 있다.

<20> 상기 90nm의 반도체 제조 공정에서는 종래의 0.13 μ m 반도체 공정에 비하여 많은 개선을 이룰 수 있다. 1.2nm 게이트 산화막, 50nm의 게이트 및 변형 실리콘 기술 등이 기반이 되어 고속 및 저 전력의 트랜지스터를 만들 수 있을 뿐 아니라 300mm의 웨이퍼를 이용할 수 있기 때문에 제조 단가를 낮출 수 있다. 향후 이러한 경향은 계속되어 반도체 기술의 발전은 무한할 것으로 예측되고 있다. 그러나, 반도체 기술의 비약적인 발전에도 불구하고, 칩을 구성하는 기본 소자인 트랜지스터 구조는 일관되게 MOSFET(Metal Oxide Silicon Field Effect Transistor) 구조를 유지하고 있다. 즉, 전자를 고전적 입자로 취급하여 표류 확산(drift diffusion)에 의한 운동 방정식으로 기술되는 기본 동작 원리는 반도체 소자가 50배 이상 계속 축소하여 왔음에도 불구하고 변하지 않고 있다. 즉, MOSFET 기술은 소자의 축소화 기술에 기본적인 기반이라고 볼 수 있다.

- <21> 상기 MOSFET 기술은 최소 선폭 $0.1\mu\text{m}$ 세대까지는 무난히 연장될 것으로 전망되고 있다. 그러나, $0.1\mu\text{m}$ 이하의 나노급 MOSFET 기술에 있어서는 극복하여야 할 많은 제조 공정 기술의 장애가 있다. 또한, 최소 선폭 10 nm 수준의 공간에서는 물리학적 관점에서 전자가 양자역학적 원리에 의한 운동 효과가 크게 나타나기 때문에 전자를 단순히 독립적인 전하 입자로 취급하였던 과거의 원리에 바탕을 둔 트랜지스터는 동작할 수 없게 된다.
- <22> 이러한 문제점을 해결하기 위하여 나노급 소자의 제작 공정기술 확립을 바탕으로 시간적인 관점에서 크게 두 가지가 그 해결 방안으로 제시되었다.
- <23> 중기적인 관점으로 현재의 MOSFET 기술의 연장선상에서 단 채널 효과나 양자 효과에 의한 부작용을 극소화시킴으로써 해결하는 방법, 그리고 장기적인 관점에서 고전적 MOSFET 동작을 탈피한 양자역학적 동작원리를 가지는 나노 신소자로 대체하려는 방법이다.
- <24> $0.1\mu\text{m}$ 이하 스케일의 CMOS 기술은 1) 유한한 공핍층(space charge layer), 2) 터널링 및, 3) 도핑의 불균일성 문제들로 인하여 그 유용성이 아직 불투명하다. 또한, 소자 제조 기술상의 장애 요인으로서는 1) lithography, 2) gate oxide film, 3) shallow source/drain extension 및 4) halo pocket/retrograde well 형성 기술 등이 있다.
- <25> 이러한 문제점을 해결하기 위한 방안으로 1) 유전율이 크고 SiO_2 를 대체할 수 있는 게이트 산화막, 2) 게이트 지연(gate delay)을 향상시킬 수 있는 기술, 3) 게이트 산화막과 채널간의 표면 산란을 축소시켜 전자 이동도(electron mobility)를 증가시켜 높은 구동 전류를 유지시키는 기술들이 연구되고 있지만 아직까지 두드러진 결과를 나타내진 못하고 있다.

- <26> 그러나, 90nm의 반도체 제조 공정에서 상기 문제를 일부 해결하는 방법으로 반도체 소자에 변형 실리콘 기술(strained silicon technology)을 이용하는 것이 있다.
- <27> 도 1은 종래의 반도체 소자에 변형 실리콘을 적용하여 전자 이동도가 증대되는 현상을 설명하기 위한 그래프이다. 도 1은 인텔(Intel)사가 실시한 변형 실리콘(strained Si) 반도체의 시험 결과 그래프이다. 도 1에 있어서, 세로축은 전자의 유효 이동도(effective mobility)를 의미하고, 가로축은 수직 유효 영역(vertical effective field)을 의미한다.
- <28> 도 1을 참조하면, 일반적인 실리콘 반도체를 이용한 경우(10), 15% 정도의 실리콘-게르마늄을 이용하여 실리콘을 변형한 경우(15), 20% 정도의 실리콘-게르마늄을 이용하여 실리콘을 변형한 경우(16)가 도시되어 있다.
- <29> 일반적으로, 반도체 소자는 500~600K(V/Cm)영역에서 사용된다. 이 때, 일반 실리콘 반도체(10)는 약 $270(\text{cm}^2/\text{V}\cdot\text{s})$ 의 전자 이동 수치를 나타낸다. 이에 비하여, 15% 정도의 실리콘-게르마늄을 이용하여 실리콘을 변형한 경우(15)에는 약 $450(\text{cm}^2/\text{V}\cdot\text{s})$ 의 전자 이동 수치를 나타내고, 20% 정도의 실리콘-게르마늄을 이용하여 실리콘을 변형한 경우(15)에는 $480(\text{cm}^2/\text{V}\cdot\text{s})$ 의 전자 이동 수치를 나타낸다.
- <30> 도 1에 도시한 바에 따르면, 약 17% 정도의 게르마늄 원자 농도를 가진 실리콘-게르마늄 에피층을 사용해 활성 실리콘 층상에 변형(strain)을 도입하면 전자 이동도를 70% 이상으로 개선할 수 있다. 그러나, 도 1은 2차원적인 관점에서 반도체 소자를 시험한 그래프이며, 아직 트랜지스터에 변형 실리콘(strained Si)을 3차원적으로 정합(match)하는 제조 기술은 개발되지 않고 있다.

<31> 현재까지는 2차원적으로 반도체 소자에 변형 실리콘(strained Si)을 사용하여 트랜지스터의 속도를 향상시키는 연구가 공지된 정도이다. 궁극적으로 트랜지스터의 집적도와 속도를 높이기 위하여 스케일을 줄이거나 3차원적으로 반도체 소자를 적용하여야 한다. 그러나, 100 nm 이하에서 집적회로 공정용 형상묘사 기술이 아직 확보되지 않았기 때문에 소자의 스케일을 줄이는 데는 한계가 있게 된다. 따라서, 스케일을 줄이는 것보다 3차원적인 소자를 적용하는 기술이 더 적합할 것으로 전망되고 있다. 그러나, 채널 폭이 90 nm 이하에서는 단 채널 효과(Short Channel Effect)와 게이트 산화막을 통한 누설 전류가 발생하는 문제가 있다. 여기서, 단 채널효과란 고온 열처리에 의해 소스 및 드레인층 내의 n형 또는 p형 불순물 원자는 채널 영역 내에서 확산하여 유효 채널의 길이가 감소하는 것을 의미한다. 유효 채널 길이가 감소되면, 특히, 극도로 작은 게이트 길이의 디바이스 내의 소스와 드레인 사이에 단락이 발생한다.

<32> 이에 대한 개선 방안으로 CMOS 구조에서 채널(channel)의 3면에 폴리게이트(poly gates)가 형성된 트랜지스터가 있다. 이러한 트랜지스터를 Tri-Gate 소자라고 한다. 상기 Tri-Gate 소자를 이용하면 싱글 게이트를 사용하였을 경우보다 실리콘의 두께의 문제 및 단 채널 효과도 개선할 수 있다. 전술한 바와 같이, 변형 실리콘(strained Si)을 이용한 Tri-Gate 소자가 향후 90nm 이하의 트랜지스터를 구현할 수 있는 유력한 기술이지만 상기와 같은 문제들로 인하여 아직 구현되지 못하고 있다.

【발명이 이루고자 하는 기술적 과제】

<33> 본 발명은 전술한 종래 기술의 문제점을 해결하고자 안출된 것으로서, 본 발명의 제1 목적은 게이트와 채널부의 접촉면을 증대시켜 전류 손실을 줄이고, 채널을 형성하는 반도체

체 층의 격자 특성을 변화시켜 전자 이동도를 향상시킬 수 있는 반도체 소자를 및 그 제조 방법을 제공하는 것이다.

<34> 본 발명의 제2 목적은 게이트와 접촉하는 면적이 증대되며, 반도체 층의 격자 특성도 향상되어 채널부 내의 전자 흐름을 개선시키고, 전력 소모도 줄일 수 있는 반도체 소자 및 그 제조 방법의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<35> 상술한 본 발명의 제1 목적을 달성하기 위하여, 본 발명의 바람직한 일 실시예에 따른 반도체 소자의 제조 방법에 의하면, 반도체 기판 상에 제1 반도체 층 및 상기 제1 반도체 층과 다른 격자(lattice) 특성을 갖는 제2 반도체 층을 순차적으로 형성한 다음, 상기 제2 반도체 층 및 상기 제1 반도체 층을 식각하여 제1 반도체 패턴을 형성한다. 이어, 상기 제1 반도체 패턴 상에 상기 제1 반도체 층과 동일한 격자 특성을 가지는 제3 반도체 층을 형성한 후, 상기 제3 반도체 층을 식각하여 상기 제1 반도체 패턴을 감싸는 제2 반도체 패턴을 형성한다. 이 경우, 상기 제1 반도체 층은 실리콘을 포함하고, 상기 제2 반도체 층은 실리콘-게르마늄을 포함하며, 상기 제3 반도체 층은 실리콘을 포함한다. 상기 제2 반도체 층은 에피택셜 성장 공정으로 형성되며, 상기 제2 반도체 패턴은 상기 제1 반도체 패턴의 측벽 및 상면 상에 형성된다.

<36> 전술한 본 발명의 제2 목적을 달성하기 위하여, 본 발명의 바람직한 다른 실시예에 따른 반도체 소자는, 반도체 기판 상에 형성되며 제1 반도체 패턴을 포함하는 제1 구조물과 상기 제1 구조물을 관통하여 형성되며, 상기 제1 반도체 패턴과 상이한 격자 특성을 갖는 제2 반도체 패턴을 포함하는 제2 구조물을 구비한다. 이 때, 상기 제1 구조물의 일측은 상기 반도체 기판의 일측에 형성된 소스 영역에 접촉되며, 상기 제1 구조물의 타측은

상기 반도체 기판의 타측에 형성된 드레인 영역에 접촉된다. 또한, 상기 제2 구조물의 하부는 상기 반도체 기판에 접촉되며, 상기 제2 구조물은 상기 제2 반도체 패턴과 상기 반도체 기판 사이에 형성되어 제1 반도체 패턴과 동일한 격자 특성을 갖는 제3 반도체 패턴을 더 포함한다.

<37> 본 발명에 따르면, 채널과 게이트가 접촉하는 면적을 증대시켜 전류 손실을 줄이고 채널을 형성하는 반도체 층의 격자 특성을 변화시킴으로서 채널부 내의 전자 이동도를 향상시킬 수 있다.

<38> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 반도체 소자 및 그 제조 방법에 대하여 상세하게 설명하지만, 본 발명이 하기 실시예들에 의해 제한되거나 한정되는 것은 아니다.

<39> 실시예 1

<40> 도 2 내지 도 7은 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 공정도들을 도시한 것이다.

<41> 도 2 및 도 3을 참조하면, 본 실시예에 따른 반도체 소자의 제조 방법에 의하면, 먼저 반도체 기판(100) 상에 제1 반도체 층(110)을 형성한 다음, 제1 반도체 층(110) 상에 제1 반도체 층(110)과 다른 격자(lattice) 특성을 갖는 제2 반도체 층(120)을 형성한다.

<42> 도 4를 참조하면, 제1 및 제2 반도체 층(110, 120)을 식각하여 반도체 기판(100) 상에 제1 및 제2 반도체층 패턴으로 이루어진 제1 반도체 패턴(200)을 형성한다.

- <43> 도 5를 참조하면, 제1 반도체 패턴(200) 상에 제1 반도체 층(110)과 동일한 격자 특성을 갖는 제3 반도체 층(130)을 형성한다. 이 경우, 제3 반도체 층(130)은 제1 반도체 패턴(200)을 덮으면서 반도체 기판(100) 상에 형성된다.
- <44> 도 6을 참조하면, 제3 반도체 층(130)을 식각하여 제1 반도체 패턴(200)의 상면 및 측벽을 감싸는 제2 반도체 패턴(300)을 형성한다.
- <45> 도 7을 참조하면, 제2 반도체 패턴(300)이 형성된 반도체 기판(100) 상에 게이트층(도시되지 않음)을 형성한 다음, 상기 게이트층을 식각하여 제2 반도체 패턴(300)에 직교하는 방향으로 게이트(400)를 형성한다.
- <46> 본 실시예에 있어서, 반도체 기판(100)은 산화막을 포함하는 절연 기판이며, 반도체 기판(100) 상에는 실리콘을 포함하는 제1 반도체 층(110)이 형성된다. 이 때, 제1 반도체 층(110)은 약 10~30nm 정도의 두께로 형성하는 것이 바람직하다.
- <47> 상기 제1 반도체 층(110) 상에 제1 반도체 층(110)의 결정 구조의 변화를 유도하는 제2 반도체 층(120)이 형성된다. 즉, 제1 반도체 층(110) 상에는 제1 반도체 층(110)과 상이한 격자 특성을 갖는 제2 반도체 층(120)이 형성된다. 이와 같은 제2 반도체 층(120)은 제1 반도체 층(110)의 결정 구조를 완화시킨다. 이는, 제2 반도체 층(120)과 제1 반도체 층(110)을 서로 상이한 결정 구조를 갖는 재질로 형성하기 때문이다. 따라서, 제2 반도체 층(120)은 제1 반도체 층(110)을 결정 구조를 변화시킬 수 있다. 예를 들면, 제1 반도체 층(110)이 실리콘으로 형성될 경우, 제2 반도체 층(120)은 실리콘의 결정 구조를 완화시키기 위하여 실리콘-게르마늄 또는 실리콘-카바이드를 사용하여 형성한다. 상부의 실리콘-게르마늄 층 또는 실리콘-카바이드 층은 하부의 실리콘 내에 인장력을 유도하게 된다.

- <48> 바람직하게는, 제1 반도체 층(110)이 실리콘으로 형성될 경우, 제2 반도체 층(120)을 실리콘-게르마늄으로 형성된다. 즉, 실리콘-게르마늄을 포함하는 제2 반도체 층(120)은 변형 유도층이 되고, 실리콘을 포함하는 제1 반도체 층(110)은 변형 층이 된다. 이 경우, 제1 반도체 층(110)을 변형 실리콘(strained silicon)층이라 한다.
- <49> 상기 제1 반도체 층(110) 상에 제2 반도체 층(120)을 형성하는 방법은 선택적으로 적용 가능하다. 예를 들면, 통상적인 증착 공정으로 제2 반도체 층(120)을 형성하거나 에피택셜(epitaxial) 성장 공정으로 제2 반도체 층(120)을 형성할 수 있다. 바람직하게는, 제1 반도체 층(110) 상에 에피택셜 성장 공정으로 제2 반도체 층(120)을 형성하는 것이 바람직하다. 이 때, 제2 반도체 층(120)은 약 10~ 90nm 정도의 두께를 가진다.
- <50> 상기 반도체 기판(100) 상에 제1 반도체 층(110) 및 제2 반도체 층(120)을 순차적으로 형성한 후, 제1 및 제2 반도체 층(110, 120)을 사진 식각 공정으로 식각하여 제1 반도체 패턴(200)을 형성한다. 이 경우, 제1 반도체 패턴(200)은 반도체 기판(100) 상에 제1 방향인 길이 방향으로 형성된다.
- <51> 상기 제1 반도체 패턴(200)을 형성한 후, 제1 반도체 패턴(200) 상에 제3 반도체 층(130)을 형성한 다음, 사진 식각 공정으로 제3 반도체 층(130)을 식각하여 제1 반도체 패턴(200)의 상면 및 측면 상에 제3 반도체층 패턴(131)을 형성함으로써, 제2 반도체 패턴(300)을 완성한다. 상기 제3 반도체층 패턴(131)은 제2 반도체 패턴(300)을 감싸는 구조를 가진다. 또한, 제3 반도체 층(130)은 제1 반도체 층(110)과 동일한 격자 특성을 갖는다. 예를 들면, 제1 반도체 층(110)을 실리콘으로 형성한 경우, 제3 반도체 층(130)은 제1 반도체 층(110)과 동일한 격자 특성을 갖는 실리콘으로 형성한다. 즉, 제3 반도체

층(130)은 제1 반도체 층(110)과 동일한 결정 구조를 갖는 재질로 형성한다. 그러나, 제3 반도체 층(130)이 제1 반도체 층(110)과 완전히 동일한 물질로 구성되지는 않는다

<52> 상기 제2 반도체 패턴(300)은 제3 반도체 층(130)을 형성하는 방법에 따라 다른 방법으로 형성한다. 일 예로 반도체 기판(100) 상에 위치하는 제2 반도체 패턴(300) 상에 제3 반도체 층(130)을 증착 공정으로 형성하는 경우, 제2 반도체 패턴(300)은 통상적인 사진식각 공정으로 형성된다.

<53> 한편, 실리콘을 포함하는 제1 반도체 패턴(200)으로부터 에피택셜 성장 공정으로 제3 반도체 층(130)을 형성하는 경우가 있다. 제1 반도체 패턴(200)의 에피택셜 공정 전에는 프리 베이킹(pre-baking) 또는 프리 클리닝(pre-cleaning) 공정을 진행한다. 프리 베이킹 또는 프리 클리닝 공정은 실리콘이 외부에 노출될 때 자연 산화막이 성장하기 때문에 패시베이션 시킨 후 에피택셜 공정을 진행하기 위해 이용된다. 프리 베이킹 또는 프리 클리닝 공정에서는 반도체 기판(100)을 약 900℃ 정도의 온도에서 약 1분 동안 가열한다. 이 후에 에피택셜 성장 공정을 진행한다. 에피택셜 성장 공정에서는 약 900℃ 정도의 온도에서 약 2분 미만 동안 반도체 기판(100)을 가열한다. 이에 따라, 바람직하게는 에피택셜 성장 공정으로 생성된 제3 반도체 층(130)은 약 10~100nm 정도의 두께를 가진다. 상기 에피택셜 성장 공정은 통상적인 사진 식각 공정 보다 간단하게 수행된다. 실리콘을 포함하는 제1 반도체 패턴(200)에 에피택셜 성장 공정을 적용하면, 제1 반도체 패턴(200)의 외부에는 실리콘 계열의 물질이 성장한다. 이 경우, 제1 반도체 패턴(200)에 성장된 실리콘계열의 물질은 실리콘과 동일한 격자 특성을 갖게 된다.

<54> 바람직하게는, 반도체 층(100)은 산화막을 포함하는 절연 기판이며, 제1 반도체 층(110)은 실리콘 층이고, 제2 반도체 층(120)은 제1 반도체 층(110)으로부터

터 에피택셜 성장된 실리콘 게르마늄 층이다. 또한, 제3 반도체 층(130)은 제1 반도체 패턴(200)으로부터 에피택셜 성장된 실리콘 층이 된다. 이 때, 제2 반도체 층(120)은 제1 반도체 층(110)으로부터 수직 방향으로 성장시킨다. 실리콘-게르마늄에 포함된 게르마늄의 농도는 제1 반도체 층(110)으로부터 점진적으로 증가시키는 것이 바람직하다.

<55> 상기 제2 반도체 패턴(300)을 형성한 후, 제2 반도체 패턴(300) 상에 게이트 산화막이 형성된다. 상기 게이트 산화막 위에 게이트를 구성하는 물질을 연속적으로 형성하고 상기 게이트 물질을 평탄화한 후, 습식 또는 건식 식각 공정을 이용하여 소정의 두께를 갖는 게이트 물질을 식각하여 게이트(400)를 형성한다. 이 때, 제2 반도체 패턴(300)은 게이트(400)와 접촉되는 채널이 된다. 이 후에, 게이트(400)에 통상적인 스페이서를 구성하는 층을 증착 및 식각하여 스페이서를 형성한다.

<56> 상기 게이트(400) 상에 금속 막을 증착하고 열처리를 진행하여 게이트(400) 상에 금속 실리사이드층을 형성한다. 게이트(400)에 증착되는 금속으로는 코발트(Co), 니켈(Ni) 또는 납(Pb) 등이 사용된다. 반도체 장치의 디자인 룰(design rule)이 감소할수록 반도체 장치에서의 금속 실리사이드층의 형성은 필수적이다.

<57> 상기 제2 반도체 패턴(300)의 일측 단부를 반도체 기판(100)의 소스(source) 영역에 접촉되게 형성하고, 제2 반도체 패턴(300)의 타측 단부를 반도체 기판(100)의 드레인(drain) 영역에 접촉되게 형성한다. 즉, 음극에 해당하는 소스와 양극에 해당하는 드레인 사이에서 제2 반도체 패턴(300)은 채널이 된다. 상기 채널은 전기 전도도가 있는 실리콘으로 형성되어 전류 통로의 역할을 한다. 제2 반도체 패턴(300)의 외부와 게이트(400)가 접촉하는 부위에 게이트 산화막을 형성하여, 이러한 게이트 산화막을 매개로 채널과 게이트가 연통된다.

- <58> 일반적으로, 트랜지스터의 집적도와 속도를 높이기 위하여 스케일을 줄이거나 3차원 구조의 반도체 소자를 적용하여야 한다. 하지만, 3차원 구조의 반도체 소자에서 채널의 폭이 90nm 이하로 줄어들면 게이트 산화막을 통한 누설 전류가 발생한다.
- <59> 본 발명에 따른 제2 반도체 패턴(300), 즉 채널은 3차원 구조물이고, 제2 반도체 패턴(300)의 외부를 둘러싸는 구조로 게이트(400)를 형성하기 때문에 채널과 게이트의 접촉면을 증가시킬 수 있다. 즉, 채널의 3면에 트리 게이트(Tri-Gate)가 형성된다. 이와 같은 트리 게이트를 이용하면 싱글 게이트를 사용하였을 경우보다 실리콘의 두께의 문제 및 전류 누설의 문제를 개선할 수 있다. 여기서, 제2 반도체 패턴(300), 게이트 산화막, 게이트(400), 스페이서, 소스 영역, 드레인 영역 및 금속 실리사이드층 등은 MOSFET(Metal Oxide Silicon Field Transistor)을 동작시키기 위한 구조물들이다.
- <60> 일반적인 MOFET는 p형 실리콘 기판의 표면 가까이에 2개의 n형 층을 만들어 이를 소스와 드레인으로 하고, 소스와 드레인의 전류의 통로가 되는 채널을 형성한 다음 채널의 표면에 게이트 산화막을 형성하고 그 위에 게이트를 형성하는 구조를 가진다. 상기 게이트에 (-) 전압을 걸면 기판에 있는 양공이 한쪽 방향으로 끌려, 게이트 산화막 바로 채널에 모이게 되어 소스와 드레인 간을 흐르는 전류가 증가한다. 반대로, 게이트에 (+) 전압을 걸면 양공은 게이트보다 멀리 밀려나 전류가 감소한다. 그러나, 게이트의 전압을 더욱 올리면 반도체 내의 전자가 채널에 모이게 되어 반대로 전류가 증가한다. 즉, MOFET는 게이트 전압의 상태에 따라 채널 내부에 흐르는 전류가 변화시켜 증폭하는 것이다.
- <61> 통상적으로, 소스 및 드레인 영역의 깊이는 반도체 디바이스의 소형화에 따라 작아진다. 이러한 이유로, 극도로 미세한 디바이스에서는 소스 및 드레인 영역의 저항 값이 증가하

여 MOSFET 디바이스 성능을 저하시킨다. 그러나, 본 발명에 따른 반도체 소자는 제2 반도체 패턴(300), 즉, 채널이 3차원으로 수직하게 형성하여 소스 영역 및 드레인 영역과 연통되기 때문에 소스 및 드레인 영역의 저항 값의 증가에 따른 MOSFET 성능의 저하를 방지할 수 있다. 또한, 본 실시예에 따른 반도체 소자를 제조하는 공정 중에 반도체 소자의 전기적 특성을 개선하기 위해서 각 반도체 층에 불순물을 이온 주입하는 단계를 더 포함할 수도 있다.

<62> 실시예2

<63> 도 8은 본 발명의 다른 실시예에 따른 반도체 소자를 설명하기 위한 사시도를 도시한 것이고, 도 9는 도 8에 도시한 채널과 게이트의 접촉면을 설명하기 위한 단면도이고, 도 10은 도 8에 도시한 채널 내부의 전자 흐름을 설명하기 위한 개념도이며, 도 11은 종래의 변형 실리콘을 이용한 2차원적인 채널을 3차원 개념으로 확장한 개략적인 사시도이다.

<64> 도 8에 도시한 바와 같이, 본 실시예에 따른 반도체 소자는 반도체 기판(100)에 제1 반도체로 형성된 제1 구조물(510)과 제1 반도체와 다른 격자 특성을 갖는 제2 반도체로 형성되며, 상기 제1 구조물(510)의 중심부를 관통하게 배치되는 제2 구조물(520)을 포함한다.

<65> 제1 구조물(510)의 외면에는 게이트 산화막이 형성되며, 제1 구조물(510)상에는 제1 구조물(510)에 대하여 직교하는 방향으로 게이트(400)가 형성된다. 상기 게이트(400)의 측면에는 스페이서(도시되지 않음)가 형성되며, 제1 구조물(510) 및 게이트(400)의 표면에

는 금속 실리사이드층이 형성될 수 있다. 이 경우, 제1 구조물(510) 및 게이트(400)에 증착되는 금속은 코발트, 니켈 또는 납 등을 포함한다. 일반적으로, 반도체 장치의 디자인 룰(design rule)이 감소할수록 반도체 장치에서 금속 실리사이드층의 형성은 필수적이다.

<66> 상기 제1 구조물(510)의 일측은 반도체 기판(100)에 형성된 소스 영역에 접촉되고, 제1 구조물(510)의 타측은 반도체 기판(100)에 형성된 드레인 영역에 접촉된다.

<67> 상기 반도체 기판(100)은 산화막을 포함하는 절연 기판이며, 제1 구조물(510)은 실리콘을 포함한다. 이 때, 제1 구조물(510)의 하부는 반도체 기판(100)으로부터 약 10~30nm 정도의 두께로 형성되고, 하부를 제외한 제1 구조물(510)의 나머지 면은 약 10~100nm 정도의 두께로 형성되는 것이 바람직하다.

<68> 제2 구조물(520)은 제1 구조물(510)의 결정 구조의 변화를 유도하는 제2 반도체로 형성된다. 따라서, 제2 구조물(520)과 제1 구조물(510)은 서로 상이한 격자(lattice) 특성을 갖는다.

<69> 상기 제2 구조물(520)은 실리콘의 결정 구조를 완화시키기 위하여 실리콘-게르마늄 또는 실리콘-카바이드를 사용하여 형성된다. 제1 구조물(510)이 실리콘으로 형성되면, 제2 구조물(520)은 실리콘-게르마늄으로 형성하는 것이 바람직하다. 상기 제2 구조물(520)은 제1 구조물(510)의 중심부를 반도체 기판(100)에 대하여 제1 방향인 길이 방향으로 관통하도록 배치된다. 즉, 제1 구조물(510)의 중심부에 제2 구조물(520)이 길이 방향으로 삽입된 구조로 형성된다. 이 때, 제2 구조물(520)은 실리콘을 포함하는 제1 구조물(510)로부터 에피택셜 성장 공정으로 형성될 수 있다. 바람직하게는, 제2 구조물(520)은 약 10~90nm 정도의 두께로 형성된다.

- <70> 제1 구조물(510)과 게이트(400) 사이에는 게이트 산화막이 개재되며, 제1 구조물(510) 상에는 제1 구조물(510)에 대하여 직교하는 방향으로 게이트(400)가 형성된다. 여기서, 제1 구조물(510)은 게이트(400)와 연통되는 채널이 된다. 제1 구조물(510), 즉, 채널은 전류 통로가 된다. 제1 구조물(510)은 게이트 산화막을 개재하여 게이트(400)에 연통된다. 여기서, 제1 및 제2 구조물(510, 520), 게이트 산화막, 게이트(400), 스페이서, 소스 영역, 드레인 영역, 금속 실리사이드 층 등은 MOSFET를 동작시키기 위하여 형성되는 구조물이다. 상기 MOSFET는 게이트 전압의 상태에 따라 채널 내부에 흐르는 전류를 변화시켜 증폭하게 된다.
- <71> 대체로, MOSFET를 동작시키기 위하여 게이트(400)에 (-) 전압을 걸면, 반도체 기판(100)에 있는 양공이 한쪽 방향으로 끌려, 게이트 산화막 바로 상부의 채널에 모이게 되어 소스와 드레인 사이를 흐르는 전류가 증가한다. 반대로, 게이트(400)에 (+) 전압을 걸면 양공은 게이트(400) 보다 멀리 밀려나 전류가 감소한다. 그러나, 게이트의 전압을 더욱 올리면 반도체 내의 전자가 채널에 모이게 되어 반대로 전류가 증가한다. 본 실시예에 있어서, 제1 구조물(510)은 3차원적인 구조를 갖는 구조물이며, 게이트(400)에 대하여 세 개의 게이트 접촉면(5111, 512, 513)이 형성된다. 일반적으로, 소스 및 드레인 층의 깊이는 반도체 디바이스의 소형화에 따라 작아진다. 이러한 이유로, 극도로 미세한 디바이스에서는 소스 및 드레인 영역의 저항 값이 증가하여 MOSFET 디바이스 성능의 저하시킨다. 그러나, 본 발명에 따른 반도체 소자는 기존의 2차원적인 구조물에 비하여 채널과 게이트가 접촉하는 게이트 접촉면(5111, 512, 513)이 증대되어 트랜지스터의 집적도와 속도를 높일 수 있다. 또한, 증대된 접촉면으로 게이트 산화막을 통한 누설 전류가 감소하게 된다.

<72> 상기 제2 구조물(520)에 의하여 제1 구조물(510)의 결정 구조가 완화된다. 구체적으로 설명하면, 제2 구조물(520)이 포함하는 실리콘-게르마늄에 의하여 제1 구조물(510)이 포함하는 실리콘에 인장력을 유도된다. 이는, 실리콘-게르마늄과 실리콘의 격자 상수의 차이가 존재하기 때문에 발생하며, 이와 같이 결정 구조가 완화된 실리콘을 변형 실리콘(strained silicon)이라 한다. 상기 제1 구조물(510)의 결정 구조를 완화되면, 제1 구조물(510)을 통과하는 전류의 저항이 줄어들게 된다. 도 10에 도시한 바와 같이, 전자의 이동도 또는 홀의 이동도는 일반적인 실리콘 격자(601)에서 보다 변형 실리콘의 격자(602)에서 향상된다. 이것은 실리콘 내부의 결정 구조가 완화되어 전자에 발생하는 저항이 줄어들었기 때문이다. 따라서, 궁극적으로 트랜지스터의 집적도와 속도를 높이기 위하여 3차원적인 채널을 이용하여야 한다. 하지만 채널의 폭이 계속 줄어들음에 따라 단 채널 효과, 게이트 산화막을 통한 누설전류가 발생한다. 이를 개선하기 위해서는 게이트 산화막을 줄이고, 전류의 흐름을 향상시켜야 한다. 따라서, 변형 실리콘을 이용한 3차원적인 채널이 필요하다. 그러나, 종래의 반도체 채널은 두개의 실리콘 층 사이에 실리콘의 변형을 유발하는 실리콘-게르마늄을 적용한 2차원적인 채널 구조였다. 종래의 실리콘-게르마늄 이용한 2차원적인 채널을 3차원적인 채널의 개념으로 확장하면 도 11에 도시된 바와 같이 실리콘-게르마늄 패턴(720)이 외부에 개방된다. 또한, 제1 실리콘 패턴(710)과 제2 실리콘 패턴(730)은 서로 이격되어 서로 연통되지 못한다. 상기 채널의 외부에는 게이트 산화막이 형성된 후, 게이트와 접촉된다. 이 때, 게이트 산화막은 반드시 실리콘 상에 증착되어야 한다. 그러나, 실리콘-게르마늄 패턴(720)이 외부에 노출되면, 채널의 외부에는 게이트 산화막이 부분적으로 형성되는 이상한 채널 구조가 형성된다. 또한, 실리콘-게르마늄 패턴(720)에 의한 실리콘 패턴들(710, 730)의 변형은 불균일

하게 발생된다. 상기 실리콘-게르마늄 패턴(720)은 실리콘 패턴들(710, 730)과 접촉하는 면 부위에서만 변형을 유발하여, 실리콘 패턴들(710, 730)내에는 불균일한 변형이 발생한다.

<73> 이에 비하여, 본 발명에 따른 채널은 3차원 실리콘 채널을 형성하여 단 채널 효과, 게이트 산화막을 통한 전류 누설을 개선하였다. 또한, 실리콘 채널 내부에 패턴 내부에 실리콘-게르마늄 패턴이 길이 방향으로 관통되게 형성하여, 전자 이동도 및 전력 소비를 개선할 수 있다.

【발명의 효과】

<74> 본 명에 따르면, 실리콘 구조물 내부에 실리콘과 다른 격자 특성을 갖는 구조물을 관통되게 형성하여 채널과 게이트의 접촉면을 증대함으로써 단 채널 문제 및 전류 누설을 개선할 수 있다.

<75> 또한, 실리콘이 실리콘-게르마늄을 수용하는 구조의 반도체 소자를 채널에 적용하여 채널 내부의 전자 이동도 및 전류 손실을 줄일 수 있다.

<76> 상술한 바와 같이, 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 제1 반도체 층 및 상기 제1 반도체 층과 다른 격자(lattice) 특성을 갖는 제2 반도체 층을 순차적으로 형성하는 단계;

상기 제2 반도체 층 및 상기 제1 반도체 층을 식각하여 제1 반도체 패턴을 형성하는 단계;

상기 제1 반도체 패턴 상에 상기 제1 반도체 층과 동일한 격자 특성을 가지는 제3 반도체 층을 형성하는 단계; 및

상기 제3 반도체 층을 식각하여 상기 제1 반도체 패턴을 감싸는 제2 반도체 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 제1 반도체 층은 실리콘을 포함하며, 상기 제2 반도체 층은 실리콘-게르마늄을 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 3】

제 2 항에 있어서, 상기 제2 반도체 층은 에피택셜 성장 공정으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제 2 항에 있어서, 상기 제3 반도체 층은 실리콘을 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제 1 항에 있어서, 상기 제2 반도체 패턴은 상기 제1 반도체 패턴의 측벽 및 상면 상에 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제 1 항에 있어서, 상기 제2 반도체 패턴 상에 상기 제1 반도체 패턴에 직교하는 방향으로 게이트를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제 6 항에 있어서, 상기 게이트와 상기 제2 반도체 패턴 사이에 게이트 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제 6 항에 있어서, 상기 게이트의 상면에 금속 실리사이드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제 1 항에 있어서, 상기 제1 및 제2 반도체 패턴에 불순물을 주입하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 10】

반도체 기판 상에 형성되며 제1 반도체 패턴을 포함하는 제1 구조물; 및



상기 제1 구조물을 관통하여 형성되며, 상기 제1 반도체 패턴과 상이한 격자 특성을 갖는 제2 반도체 패턴을 포함하는 제2 구조물을 구비하는 것을 특징으로 하는 반도체 소자.

【청구항 11】

제 10 항에 있어서, 상기 제1 구조물 및 상기 반도체 기판 상에 상기 제1 구조물에 대하여 직교하는 방향으로 형성된 게이트를 더 포함하는 것을 특징으로 하는 반도체 소자

【청구항 12】

제 11 항에 있어서, 상기 제1 구조물과 상기 게이트 사이에 형성된 게이트 산화막을 더 포함하는 것을 특징으로 하는 반도체 소자

【청구항 13】

제 11 항에 있어서, 상기 게이트의 상면에 형성된 금속 실리사이드층을 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 14】

제 10 항에 있어서, 상기 제1 구조물의 일측은 상기 반도체 기판의 일측에 형성된 소스 영역에 접촉되며, 상기 제1 구조물의 타측은 상기 반도체 기판의 타측에 형성된 드레인 영역에 접촉되는 것을 특징으로 하는 반도체 소자.

【청구항 15】

제 10 항에 있어서, 상기 제1 반도체 패턴은 실리콘을 포함하며, 상기 제2 반도체 패턴은 실리콘-게르마늄을 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 16】

제 15 항에 있어서, 상기 제2 구조물의 하부는 상기 반도체 기판에 접촉되는 것을 특징으로 하는 반도체 소자.

【청구항 17】

제 16 항에 있어서, 상기 제2 구조물은 상기 제2 반도체 패턴과 상기 반도체 기판 사이에 형성된 제3 반도체 패턴을 더 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 18】

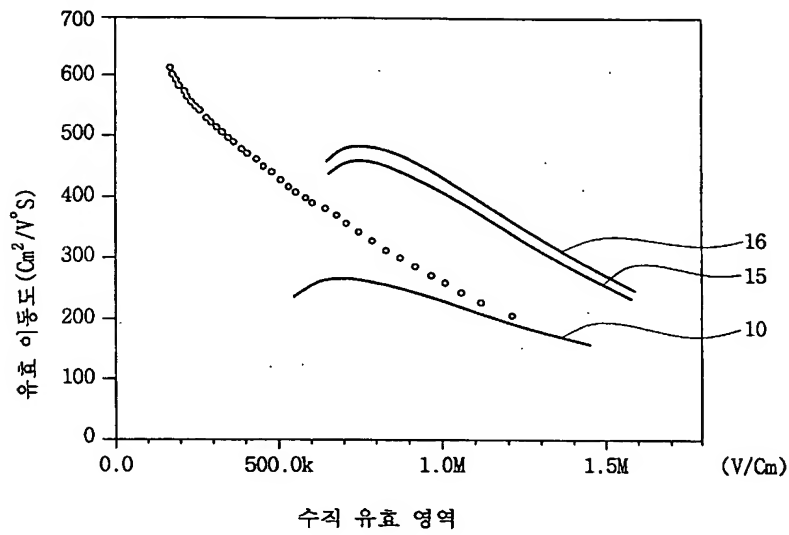
제 17 항에 있어서, 상기 제3 반도체 패턴은 상기 제1 반도체 패턴과 동일한 격자 특성을 갖는 것을 특징으로 하는 반도체 소자.

【청구항 19】

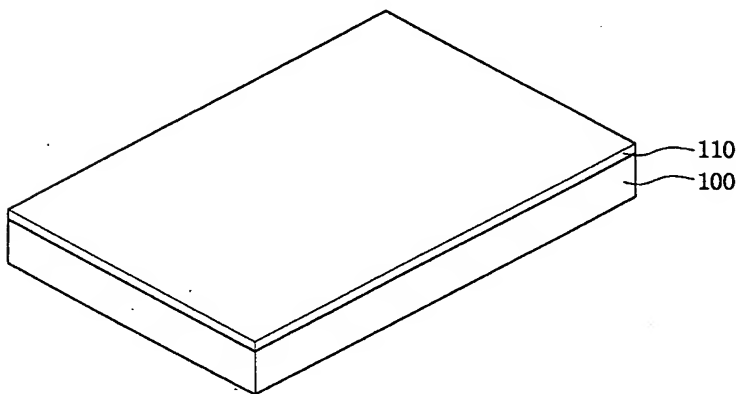
제 18 항에 있어서, 상기 제3 반도체 패턴은 실리콘을 포함하는 것을 특징으로 하는 반도체 소자.

【도면】

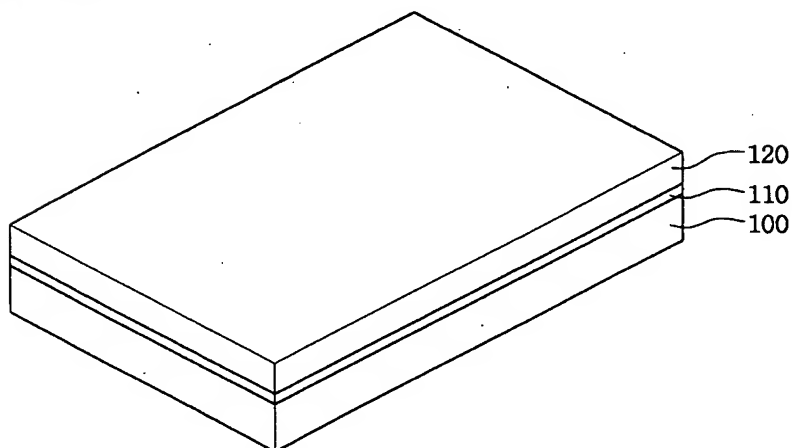
【도 1】



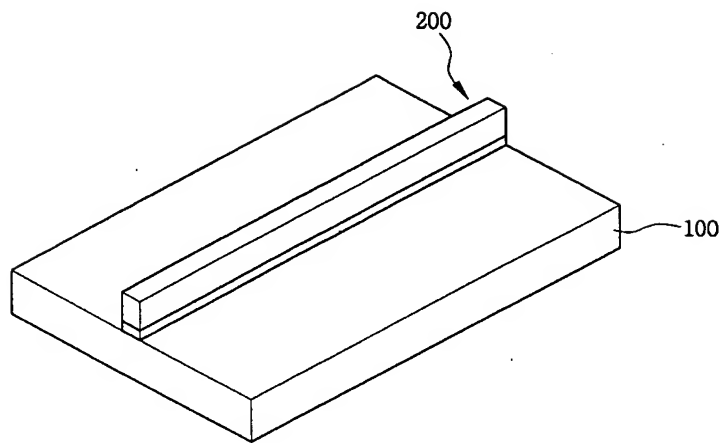
【도 2】



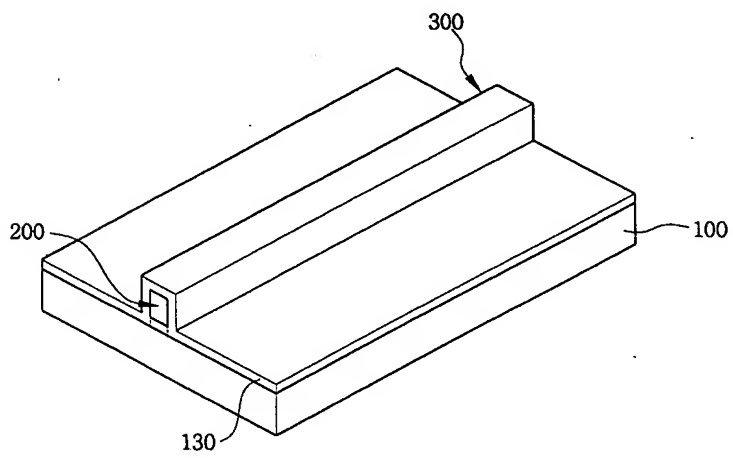
【도 3】



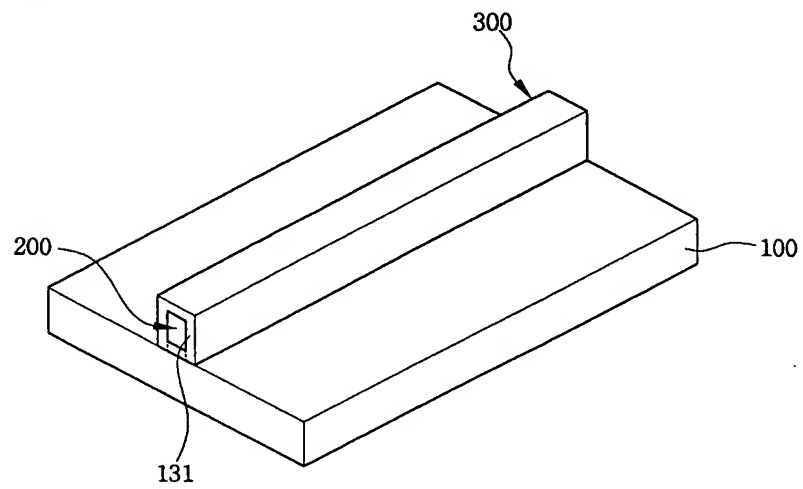
【도 4】



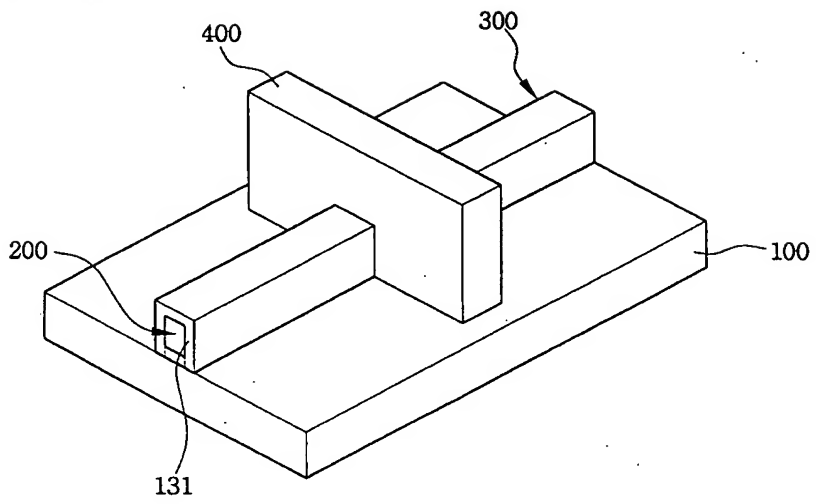
【도 5】



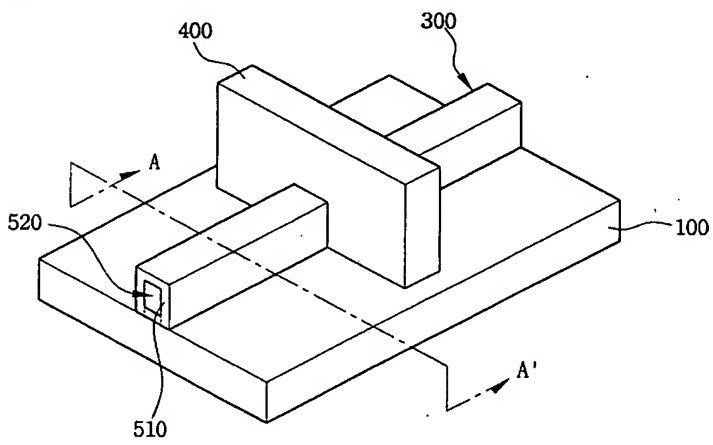
【도 6】



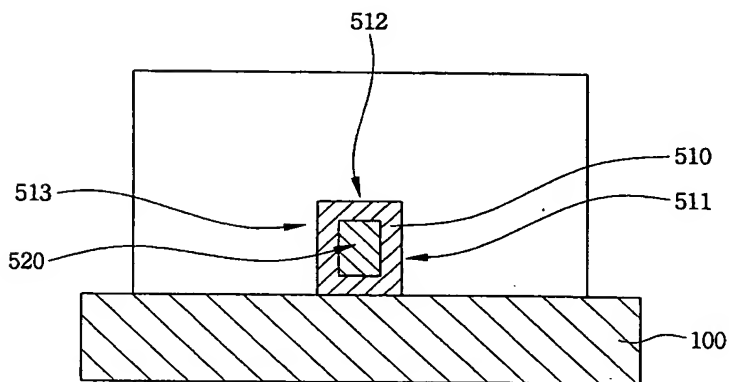
【도 7】



【도 8】

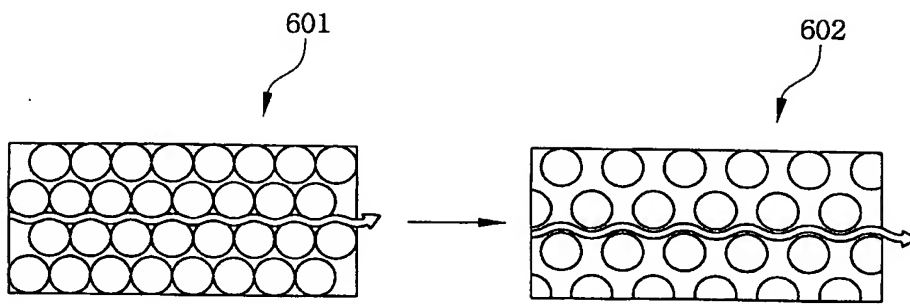


【도 9】





【도 10】



【도 11】

